

3/3/1

DIALOG(R) File 351:Derwent

(c) 2000 Derwent Info Ltd. All rts. reserv.

011872570 **Image available**

WPI Acc No: 1998-289480/199826

XRPX Acc No: N98-227645

Cell search circuit for code division multiple access communication - has
signal spread generator whose phase shifting function is controlled
according to results of coherent integration accumulated in ring buffer
of accumulator

Patent Assignee: NEC CORP (NIDE)

Inventor: MARU T

Number of Countries: 003 Number of Patents: 003

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
GB 2320402	A	19980617	GB 9725362	A	19971128	199826 B
JP 10164012	A	19980619	JP 96334975	A	19961129	199835
US 6088382	A	20000711	US 97980531	A	19971201	200037

Priority Applications (No Type Date): JP 96334975 A 19961129

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
GB 2320402	A		28	H04B-007/216	
JP 10164012	A		7	H04J-013/00	
US 6088382	A			H04B-001/707	

Best Available Copy

MENU

SEARCH

INDEX

DETAIL

BACK

NEXT

2/4



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11)Publication number: 10164012

(43)Date of publication of application: 19.06.1998

(51)Int.Cl.

H04J 13/00

H04L 7/00

(21)Application number: 08334975

(71)Applicant:

NEC CORP

(22)Date of filing: 29.11.1996

(72)Inventor:

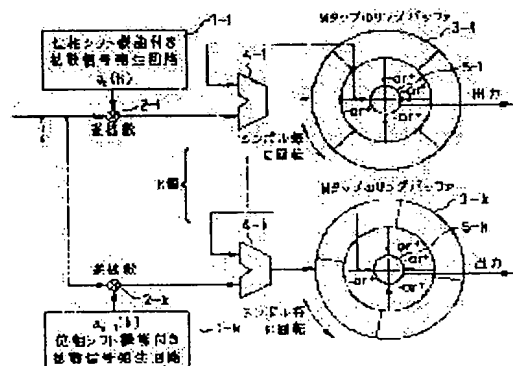
MARU TSUGIO

(54) CELL SEARCH CIRCUIT FOR CDMA

(57)Abstract:

PROBLEM TO BE SOLVED: To improve an S/N and to suppress the increase of search time and a circuit scale by synchronously adding the time integral results of signals accumulated in a ring buffer and controlling the shift operation of a diffusion signal generator having a phase shift function based on the result.

SOLUTION: The diffusion signal generation circuit 1-1 with a phase shift function, a multiplier 2-1 multiplying the output by an input signal and a ring buffer 3-1 accumulating correlation results for the number of in-phase adding times for in-phase-adding the plural signals are provided. A buffer for one signal in the ring buffer 3-1 and an adder 4-1 form an accumulator and it integrates time in the same degree as unit signal continuing time before diffusion. In-phase addition is to add time integral results for respective signals accumulated in the ring buffer by the combination of polarities which are previously decided, to judge the synchronous state of the diffusion codes based on an in-phase addition result and to execute an in-phase shift



operation when synchronism is not established so as to acquire synchronism.

LEGAL STATUS

[Date of request for examination] 29.11.1996

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2760352

[Date of registration] 20.03.1998

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998 Japanese Patent Office

MENU**SEARCH****INDEX****DETAIL****BACK****NEXT**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-164012

(43) 公開日 平成10年(1998) 6月19日

(51) Int.Cl.⁶

識別記号

F I

H 0 4 J 13/00

H 0 4 J 13/00

A

H 0 4 L 7/00

H 0 4 L 7/00

C

審査請求 有 請求項の数 5 F D (全 7 頁)

(21) 出願番号 特願平8-334975

(22) 出願日 平成8年(1996)11月29日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 丸 次夫

東京都港区芝五丁目7番1号 日本電気株式会社内

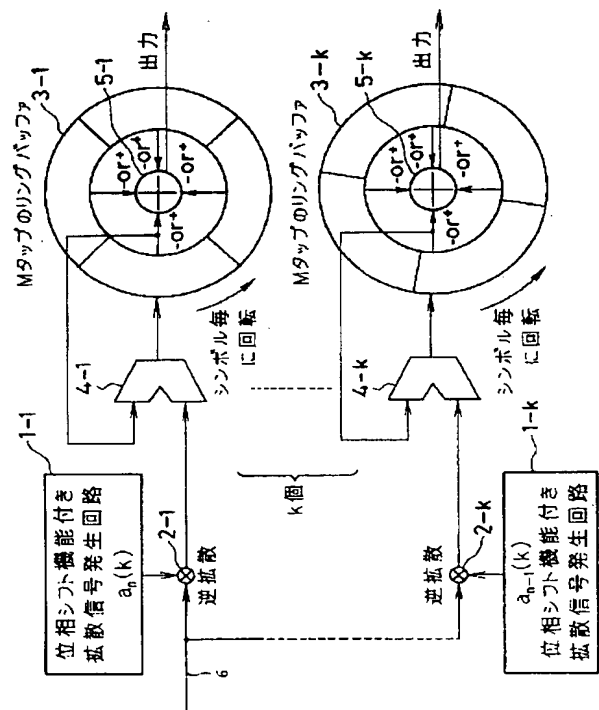
(74) 代理人 弁理士 加藤 朝道

(54) 【発明の名称】 CDMA用セルサーチ回路

(57) 【要約】

【課題】同期加算を行ってもサーチ時間の増大を招くことなく、或いは回路規模の増大を抑止するセルサーチ回路の提供。

【解決手段】位相シフト機能を持つ拡散信号発生器と、この拡散信号発生器出力と入力信号を掛け合わせる乗算器と、複数の信号に亘って同期加算を行うためにその回数分の相関結果を蓄えておくリングバッファと、このリングバッファの内一信号分のバッファと加算器によってアキュムレータを構成し、拡散前の単位信号継続時間と同程度の時間積分を行わせ、同期加算はリングバッファにそれぞれ蓄えられた各信号分の時間積分結果を加算することによって行い、同期加算結果をもとに拡散信号発生器のシフト動作を制御する。



【特許請求の範囲】

【請求項1】 位相シフト機能を具備した拡散信号発生器と、

前記拡散信号発生器の出力と入力信号とを掛け合わせる乗算器と、

複数の信号に亘って同相加算を行うために所定回数分の相関結果を蓄えておくリングバッファと、

加算器と、

を備え、

前記リングバッファのうち一信号分のバッファと前記加算器とでアキュムレータを構成し、拡散前の単位信号継続時間と同程度の時間積分を行わせ、

前記リングバッファにそれぞれ蓄えられた各信号分の時間積分結果を予め定められた極性の組み合わせに基づき加算することによって同相加算を行い、

前記同相加算結果を基に、前記位相シフト機能を具備した拡散信号発生器のシフト動作を制御する、ことを特徴とするCDMA用セルサーチ回路。

【請求項2】 請求項1記載の前記拡散信号発生器と、前記リングバッファと、前記加算器と、からなるサーチ回路を、入力信号に対して所定個数並列に備えたことを特徴とするCDMA用セルサーチ回路。

【請求項3】 前記同相加算結果を基に、拡散符号の同期状態を判断し、同期が確立していない場合には、前記拡散信号発生器の位相をシフト動作させるように制御し、これにより、拡散符号の同期捕捉を行う、ことを特徴とする請求項1記載のCDMA用セルサーチ回路。

【請求項4】 同相成分(I相)と直交成分(Q相)共に同じ拡散符号を使用したBPSK拡散CDMAシステムにおいて、

I相、Q相について、それぞれ請求項1記載の前記セルサーチ回路を備え、

前記セルサーチ回路のリングバッファの加算を予め定められた極性で同相加算し、

I相、Q相について、それぞれ、前記セルサーチ回路のリングバッファを選択するセレクトアを備え、

位相シフト機能付き拡散信号発生器はI相、Q相について共通とし、

パラレル処理への拡散符号の供給は、前記位相シフト機能付き拡散信号発生器出力を遅延させたものを使用し、

I相、Q相についてそれぞれ備えられた前記セレクトア出力の二乗和をとって電力検出を行い、

所定フレーム分の電力加算によって、フェージングの影響を軽減したことを特徴とするCDMA用セルサーチ回路。

【請求項5】 位相シフト機能を具備した拡散信号発生器と、

前記拡散信号発生器の出力と入力信号とを掛け合わせる乗算器と、

複数の信号に亘って同相加算を行うために、所定回数分の

の相関結果を蓄えるための複数のバッファからなり、一信号(シンボル)毎にバッファ位置が移動して最後段の次が初段のバッファに戻る巡回型のバッファと、を備え、

前記巡回型のバッファのうちの一信号分のバッファと前記乗算器の出力を入力する加算器とでアキュムレータを構成し、チップ単位に拡散前の単位信号継続期間分を蓄積し、

前記バッファにそれぞれ蓄えられた各信号分の時間積分結果を予め定められた極性の組み合わせに基づき加算することによって同相加算を行い、

前記同相加算結果を基に、前記位相シフト機能を具備した拡散信号発生器のシフト動作を制御する、ことを特徴とするCDMA用セルサーチ回路。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明は、目的信号成分電力に比較して干渉波成分電力が大きいCDMA (code division multiple access) 通信方式に用いられるサーチ回路に関し、特に、複数の信号にわたって同期加算を行うことによりS/N (信号対雑音) 比を上げてサーチを行う回路に関する。

【0002】

【従来の技術】 従来、スプレッドスペクトラム (Spread Spectrum) 通信方式 (スペクトラム拡散通信方式) における同期補足用のサーチ回路は、以下のように構成されていた。例えば逆拡散に相関器を用いた場合、入力信号とサーチ回路内部で準備された拡散符号とを乗積し、拡散前の単位信号継続時間と同程度の時間積分により、拡散前の信号を得ることができる。この時、サーチ回路内部で準備された拡散符号が、送り手の拡散符号と同期がとれていなかった場合には、積分出力は殆ど零になってしまう。

【0003】 そこで、サーチ回路内部の拡散信号発振器の位相を一定量シフトして、期待する信号レベルが得られる迄、この繰り返し動作を行い、拡散符号の同期補足を行うのである。因みに、このような方法により、拡散信号同期補足を行う回路を、「スライディング相関器」という。

【0004】

【発明が解決しようとする課題】 しかしながら、CDMA (code division multiple access: 符号分割多元接続) のように、目的信号成分電力に比較して干渉波成分電力が大きい場合、拡散前の単位信号継続時間と同程度の時間積分を行っただけでは、期待するS/N (信号対雑音) 比を稼ぐことができない場合が多い。

【0005】 このような場合、複数の信号に亘って同期加算を行うことにより、S/N比を上げて、サーチを行う方法が考えられる。

【0006】 しかし、これを実現するには、複数の信号

に相当する長さと同じ逆拡散用の符号長が必要になり、その結果、以下に説明するように、サーチ時間が増大するという問題点を有している。

【0007】例えば、相関器を1つだけ用意し、積分結

(拡散符号の数)×(同期加算を行う複数の信号数)×(積分時間)

…(1)

となる。

【0008】したがって、本発明は、上記問題点に鑑みてなされたものであって、その目的は、同期加算を行ってもサーチ時間の増大を招くことなく、且つ、回路規模の増大を抑止低減するセルサーチ回路を提供することにある。

【0009】

【課題を解決するための手段】前記目的を達成するため、本発明は、位相シフト機能を具備した拡散信号発生器と、前記拡散信号発生器の出力と入力信号とを掛け合わせる乗算器と、複数の信号に亘って同期加算を行うために所定回数分の相関結果を蓄えておくリングバッファと、加算器と、を備え、前記リングバッファのうち一信号分のバッファと前記加算器とでアキュムレータを構成し、拡散前の単位信号継続時間と同程度の時間積分を行わせ、前記リングバッファにそれぞれ蓄えられた各信号分の時間積分結果を予め定められた極性の組み合わせに基づき加算することによって同期加算を行い、前記同期加算結果を基に、前記位相シフト機能を具備した拡散信号発生器のシフト動作を制御する、ことを特徴とする。

【0010】また本発明は、同相成分(I相)と直交相成分(Q相)共に同じ拡散符号を使用したBPSK拡散CDMAシステムにおいて、I相、Q相について、それぞれ請求項1記載の前記セルサーチ回路を備え、前記セルサーチ回路のリングバッファの加算を予め定められた極性で同相加算し、I相、Q相について、それぞれ、前記セルサーチ回路のリングバッファを選択するセレクタを備え、位相シフト機能付き拡散信号発生器はI相、Q相について共通とし、パラレル処理への拡散符号の供給は、前記位相シフト機能付き拡散信号発生器出力を遅延させたものを使用し、I相、Q相についてそれぞれ備えられた前記セレクタ出力の二乗和をとって電力検出を行い、所定フレーム分の電力加算によって、フェージングの影響を軽減したことを特徴とする。

【0011】

【発明の実施の形態】本発明の実施の形態について以下に説明する。本発明は、その好ましい実施の形態において、位相シフト機能を持つ拡散信号発生器(図1の1-1)と、この拡散信号発生器の出力と入力信号を掛け合わせる乗算器(図1の2-1)と、複数の信号に亘って同期加算を行うためにその回数分の相関結果を蓄えておくためのリングバッファ(図1の3-1)と、を備え、このリングバッファの内一信号分のバッファと加算器

(図1の4-1)とがアキュムレータを構成し、拡散前

果を得られる度に順次位相をシフトさせて相関操作を行う方法を「シリアルサーチ」というが、この場合、全ての拡散符号を検査するのに必要な時間は、

の単位信号継続時間と同程度の時間積分を行わせ、同相加算は、リングバッファにそれぞれ蓄えられた各信号分の時間積分結果を予め定められた極性の組み合わせに基づき加算することによって行い、この同相加算結果をもとに拡散符号の同期状態を判断し、同期が確立していない場合、位相シフト機能を持つ拡散信号発生器の位相をシフトさせる動作を行い、これにより、拡散信号の同期捕捉を行う、ようにしたものである。

【0012】本発明の実施の形態に係るCDMA用サーチ回路を用いれば、全ての拡散符号を検査するのに必要な時間は、

(拡散符号の数)×(積分時間) …(2)

のみで済む。すなわち、同相加算の機能を追加しても、サーチ時間を増加させることはない。

【0013】サーチ時間を更に短くするため、パラレルサーチとの組み合わせを用いた場合でも、本発明を適用できることはいうまでもない。

【0014】本発明の実施の形態に係るCDMAサーチ回路によれば、目的信号成分電力に比較して干渉波成分電力が大きいとされるCDMA通信方式に用いても、M回の同相加算によって、S/N比を、 $M^{1/2}$ 倍に増大させることができるので、同期状態になったかどうかを判断できるようになる。

【0015】更に、例えば、受動相関方式であるマッチドフィルタで、単位信号時間長に相当するタップを有していた場合、同期加算を行おうとすると各チップ単位で同期加算対象となる範囲のリングバッファが必要になり、膨大なリングバッファを使用しなければならないといった問題が生じる。これに対して、本発明の実施の形態においては、パラレルサーチとシリアルサーチを組み合わせた場合でも、その効果は失われないという利点がある。

【0016】更に本発明の実施の形態においては、同相加算を行う信号が固定パターンで変調が掛かっていても、固定パターンに合わせて加算か減算かを制御できるようにされているので、任意の固定パターンに対しても同期加算を実行できるという利点がある。

【0017】更に、本発明のCDMA用セルサーチ回路は、同相成分(I相)と直交相成分(Q相)共に同じ拡散符号を使用したBPSK(Binary Phase Shift Keyed)拡散CDMAシステムにおいて、I相、Q相ともに、上記した実施の形態のサーチ回路を備え、リングバッファの加算を予め決められた極性で同相加算し、その出力を選択するセレクタと、位相シフト機能付き拡

10

20

30

40

50

5

散信号発生器は、I相、Q相共通とし、またパラレル処理への拡散符号の供給は、拡散信号発生器出力を遅延させたものを使用し、I相、Q相のセクタ出力の二乗和をとって電力検出を行い、Lフレーム電力加算によってレイリーフェージングの影響を軽減したことを特徴として構成される。

【0018】

【実施例】上記した本発明の実施の形態について更に詳細に説明すべく、本発明の実施例について図面を参照して以下に詳細に説明する。

【0019】図1は、本発明の一実施例の構成の要部を説明するための図であり、本発明によるCDMA通信方式に用いられるサーチ回路の一実施例をブロック図にて示したものである。

【0020】図1を参照すると、本実施例においては、位相シフト機能付き拡散信号発生回路1-1から発生した拡散符号 $a_n(k)$ は、A/D変換（アナログ/デジタル変換）後の受信信号6と、乗算器2-1によって掛け合わされ、逆拡散が行われる。

【0021】この乗算結果は、加算器4-1とリングバッファ3-1の一信号分のバッファによって構成されたアキュムレータに蓄えられる。これによって、拡散前の単位信号継続時間と同程度の時間積分を行う機能を実現している。なお、バッファと加算器4-1によって構成されるアキュムレータはチップ（Chip）単位でシンボル期間分蓄積する。

【0022】単位信号区間中、拡散前の信号は変化しないので、逆拡散した上記時間積分結果は、拡散前の信号を時間積分した値になる。

【0023】この様子をタイミングチャートで表したものが、図2のタイミング図の初めの部分である。

【0024】図2において、単位信号当たりの時間積分は、時間とともに蓄積されていき、ノイズ成分も積分されていくが、統計的独立性によって、ノイズ成分の増加は、信号成分の増加よりも少なく、その分、SN比が改善される。

【0025】再び図1を参照して、上記のように単位信号に渡って時間積分を行う動作は、次の信号に対しても同様に行われるが、その時、リングバッファ3-1が回転して、新しいバッファにその積分結果が蓄積される。

【0026】この動作は、リングバッファ3-1におけるバッファ数M個に対して同様に行われ、最後の積分動作が完了すると、予め定められた極性（+、-）の組み合わせに基づき、リングバッファ3-1の各バッファの内容をリングバッファ3-1の中心に示した加算器5-1で加算する。

【0027】この加算結果が最大となるのは、拡散前のM個の信号のパターンと極性の組み合わせパターンが一致した時である。

【0028】この一致した状態での時間積分の状態を、

6

図2に示す。図2中、黒丸印と矢印で示した部分（①～④）が、リングバッファに蓄えられた積分結果を示している。M回の加算によって、SN比が改善していく様子を示している。

【0029】M回の加算によってSN比が改善される様子を計算式により定量的に示す。

【0030】先ず、各バッファに蓄えられたノイズ成分を、 X_1, X_2, \dots, X_M とすると、その加算結果の電力は、その統計的独立性によって、次式（3）に与えられる。

【0031】

$$\begin{aligned} E[\{X_1 + X_2 + \dots + X_M\}^2] \\ = E[X_1^2 + X_2^2 + \dots + X_M^2] \\ = M \cdot E[X^2] \quad \dots (3) \end{aligned}$$

【0032】ここで、確率変数 X_1, X_2, \dots, X_M は、同じ確率分布を持ち、その代表を X とした。

【0033】一方信号 S の加算結果の電力は、 $M^2 S^2$ であるから、レベルに換算すると、M回の加算によって、信号成分はM倍に、ノイズ成分は $M^{1/2}$ になり、SN比は、 $M^{1/2}$ 倍となって、改善されることが分かる。

【0034】CDMA通信方式の場合、信号成分に比較してノイズ成分が大きく、拡散前の単位信号継続時間と同程度の時間積分を行っただけでは期待するSN比を稼ぐことができないが、上述の方法により、SN比を $M^{1/2}$ 倍に上げることができ、拡散信号の同期捕捉のための判定を実現することが可能となる。

【0035】次に、この判定結果を基に、拡散符号の同期捕捉を行う動作を説明する。

【0036】図1を参照すると、本実施例においては、サーチ時間の短縮を図るため、パラレル数 k 個でシリアルサーチとパラレルサーチが混合した構成をとっている。

【0037】図1には、パラレル（並列形態）に構成した k 番目のブロックが示されているが、同様の構成のものが k 個並んで一つのサーチ回路を構成している。但し、位相シフト機能付き拡散信号発生回路1-1～1-kは、それぞれ位相が一定のシフトをもっており、これに伴って、リングバッファ3-1～3-kの単位信号に対する加算開始位置もシフトしている。

【0038】 k 個のリングバッファ3-1～3-kの加算タイミングと、位相シフト機能付き拡散信号発生回路1-1～1-kの位相シフトの関係を図3に示す。

【0039】本実施例で使用しているセルサーチ用受信信号のフレーム構成は、図4に示すように、各フレーム毎に、拡散符号M周期分が含まれており、1フレーム期間間隔で、 k 個の位相シフト機能付き拡散信号発生回路1-1～1-kと、リングバッファ3-1～3-kの位相タイミングを k シフトさせ（図3参照）、拡散符号の周期を N とする $N-k$ 回で、全ての位相状態を検査することができるようになっている。

【0040】 k 個の拡散信号発生回路1-1~1- k と、リングバッファ3-1~3- k との位相シフト関係については、図1に示されている出力以降に続く包絡線検出処理のための絶対値化処理あるいは乗算処理の負荷を軽減するため、シフト量を多くとり、フレーム周期間隔でのシフト量を小さくする。

【0041】これによって、各リングバッファ3-1~3- k からの出力タイミングに時間差ができ、信号の流れが均一化される。

【0042】あるいは、処理の平均負荷が重い場合には、パラレル数 k を減らして、シリアルサーチの回数を増やすことによって、負荷の軽減をはかることができる。

【0043】これらの各種変形（バリエーション）は、設計時に各部の負荷分散に応じて適宜変更することが可能であることはいうまでもない。

【0044】本発明は、これらのバリエーションを含み、しかも同相加算を行うことができるという利点を有している。

【0045】図5は、本発明の第2の実施例の構成を示す図であり、本発明に係るCDMA用セルサーチ回路を直交検波に適用した場合の全体構成を示すブロック図である。

【0046】図5において、10-1、10-2は、図1を参照して説明した前記第1の実施例と同一のセルサーチ回路を示している。

【0047】セルサーチ回路10-1、10-2の出力をそれぞれ入力とするセレクト11-1、11-2は、セルサーチ回路10-1、10-2の各々について k 個のリングバッファの加算出力を選択するためのもので、図3に示すタイミングで、各リングバッファがフルになった時、選択されるようになっている。

【0048】この時、 k 個のリングバッファに対して、（単位信号長内の位相シフト）+（単位シンボル長の位相シフト量）、を各リングバッファ加算のタイミング並びに拡散符号に与えておけば、セレクト以降の処理の負荷分散に役立つ。

【0049】乗算器12-1、12-2、及び加算器15は、I、Qそれぞれの二乗和を取り、電力を検出するためのものである。

【0050】シフトレジスタ13と位相シフト機能付き拡散信号発生回路14は、セルサーチ回路10-1、10-2内の乗算器2-1、…、2- k 、2'-1、…、2'- k に逆拡散用として拡散符号を供給するためのものであり、本実施例の場合は、I系統、Q系統共に同じ拡散符号を使用した、BPSK拡散を使用しているのので、シフトレジスタ13からの拡散符号 $a_1 \sim a_k$ を共用している。

【0051】また、 $a_1 \sim a_k$ は同一の符号を位相シフトしただけなので、シフトレジスタにより位相を変えて供

給するようになっている。

【0052】このようにして、 M 個の同期加算した後、I、Qの二乗加算で電力に変換された信号は、Lフレーム電力加算器16によって、Lフレーム間に亘って電力加算を施され、レーリフェージングの影響を軽減している。

【0053】この時、電力変換の代わりに、絶対値回路で代用し、回路規模を適宜軽減するようにしてもよいことはいうまでもない。

【0054】

【発明の効果】以上説明したように、本発明のCDMA用セルサーチ回路によれば、従来、目的信号成分電力に比較して干渉波成分電力が大きく、拡散前の単位信号継続時間と同程度の時間積分を行っただけでは期待するSN比を稼ぐことができないCDMAに対しても、複数の信号に亘って同相加算を行うことにより、SN比を上げてサーチを行うことができるという効果を奏するものであり、このため良好なCDMAシステムを実現することができる。

【0055】また従来のシリアルサーチでは、（拡散符号の数）×（同期加算を行う信号数 M ）×（積分時間）、全ての拡散符号を検査するのに必要だった時間が、本発明によれば、シリアルサーチを行ったとしても、（拡散符号の数）×（積分時間）となる。

【0056】更に、本発明においては、サーチ時間を短くするため、 k 個のパラレル処理を混合した構成をとると、全ての拡散符号を検査するのに必要な時間は、（拡散符号の数）×（積分時間）/ k 、となり、サーチ時間を特段に短縮するという効果を奏する。

【0057】そして、例えば単位信号長に相当するタップを有したマッチドフィルタを用いて同期加算を行おうとした場合、各チップ単位で同期加算対象となる範囲の膨大なリングバッファと電力加算をチップ単位で行わなければならないといった膨大な処理を要することになるが、本発明によれば、パラレルサーチとシリアルサーチを混在してもその効果を失うことなく実現できるので、負荷に応じてパラレルとシリアルとの比を変更でき、負荷に応じて最適化することができるという利点を有している。

【0058】また本発明によれば、同期加算を行う信号が、ある決められたパターンで変調がかかっているも、該パターンに合わせて極性を制御することができるので、任意のパターンに対してサーチが実行できるという利点を有している。

【図面の簡単な説明】

【図1】本発明の第1の実施例の構成を説明するための図であり、CDMA用サーチ回路の要部の構成を示すブロック図である。

【図2】本発明の第1の実施例を説明するための図であり、単位信号当たりの時間積分と同期加算による信号の

状態を表した図である。

【図3】本発明の第1の実施例における、リングバッファの加算タイミングと拡散信号の発生タイミングを表した図である。

【図4】本発明の第1の実施例を説明するための図であり、全体のフレーム構成を示す図である。

【図5】本発明を第2の実施例を説明するための図であり、直交検波に適用した場合のセルサーチ回路の構成を示すブロック図である。

【符号の説明】

1-1~1-k 位相シフト機能付き拡散信号発生回路

2-1~2-k 乗算器

3-1~3-k リングバッファ

4-1~4-k 加算器

5-1~5-k 加算器

10-1、10-2 セルサーチ回路

11-1、11-2 セレクタ

12-1、12-2 二乗回路

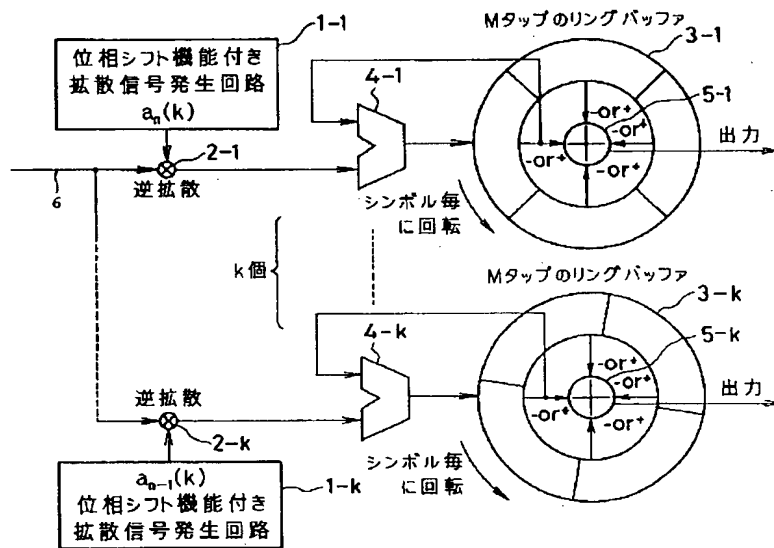
13 シフトレジスタ

14 位相シフト機能付き拡散信号発生回路

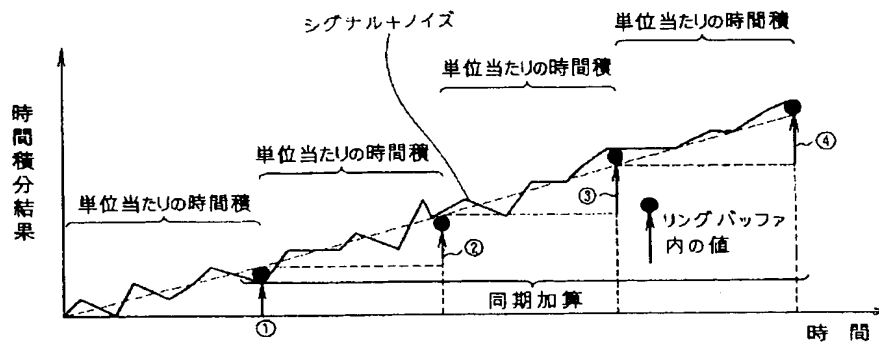
10 15 加算器

16 Lフレーム電力加算器

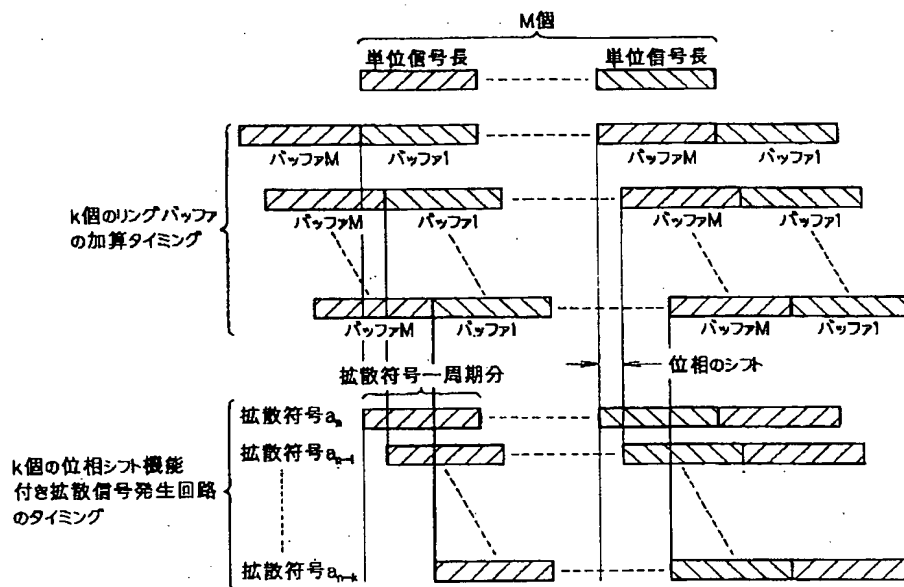
【図1】



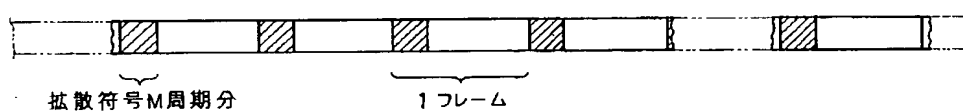
【図2】



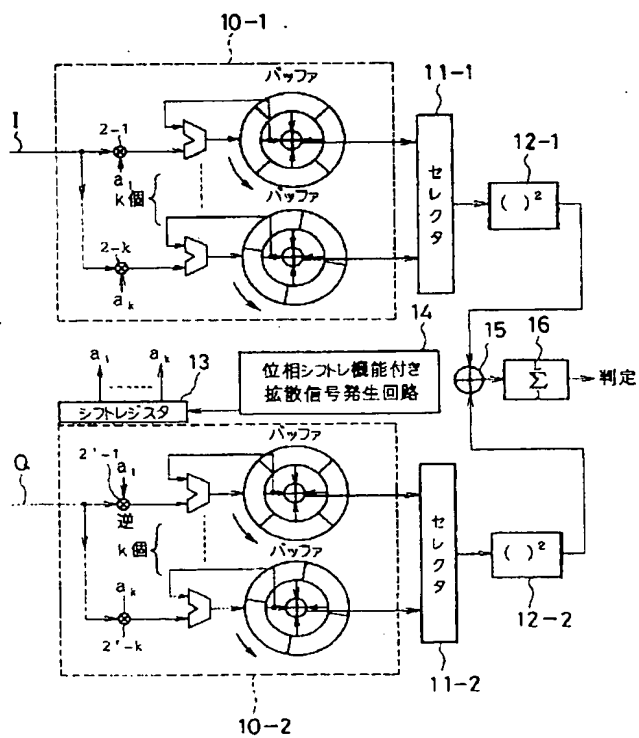
【図3】



【図4】



【図5】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.